

## PLASMA TREATING DEVICE AND TREATMENT

Patent number: JP6287760

Publication date: 1994-10-11

Inventor: TAKAGI SATOSHI; OKAMURA NOBUYUKI;  
YAMAGAMI ATSUSHI

Applicant: CANON KK

Classification:

- International: C23C16/50; H01L21/205; H01L21/302; H01L21/31

- European:

Application number: JP19930074030 19930331

Priority number(s): JP19930074030 19930331

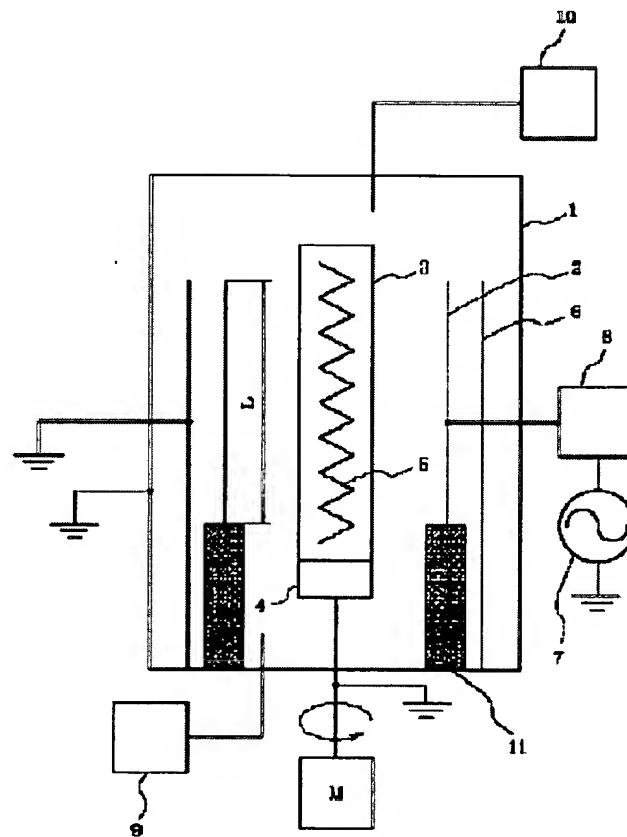
Also published as:

WO2004087990 (A)  
US5534070 (A1)

Abstract not available for JP6287760

Abstract of corresponding document: US5534070

PCT No. PCT/JP94/00537 Sec. 371 Date Nov. 30, 1994 Sec. 102(e) Date Nov. 30, 1994 PCT Filed Mar. 31, 1994. A plasma CVD process comprises conducting film formation in a reaction chamber capable of being substantially vacuumed in which a plurality of cylindrical substrates are spacedly arranged on a concentric circle in said reaction chamber such that a desired discharge space is formed at the central position of the inside of said reaction chamber and a cathode electrode is disposed at the central position of said discharge space, by introducing a film-forming gas into said discharge space and applying a high frequency power from a high frequency power source to said cathode electrode to produce plasma between said plurality of cylindrical substrates and said cathode electrode, whereby forming a deposited film on the surface of each of said plurality of cylindrical substrates, characterized in that an earth shield comprising a non-magnetic material and a soft magnetic material or an insulating material being stacked is disposed at each of the opposite end portions of said cathode electrode, and a very-high-frequency energy of a frequency range of 60 MHz or more from said high frequency power source is applied to said cathode electrode to produce plasma in said reaction chamber whereby forming a deposited film on the surface of each of said plurality of cylindrical substrates. And a VHF plasma CVD apparatus suitable for practicing the plasma CVD process.



Data supplied from the esp@cenet database - Worldwide

**Family list**

4 family members for:

**JP6287760**

Derived from 3 applications.

**1 PLASMA TREATING DEVICE AND TREATMENT**Publication info: **JP3236111B2 B2** - 2001-12-10  
**JP6287760 A** - 1994-10-11**2 Plasma CVD process using a very-high-frequency and plasma CVD apparatus**Publication info: **US5534070 A** - 1996-07-09**3 PLASMA CVD METHOD USING ULTRASHORT WAVE AND PLASMA CVD APPARATUS**Publication info: **WO2004087990 A1** - 2004-10-14Data supplied from the **esp@cenet** database - Worldwide

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
C 23 C 16/50		8116-4K		
H 01 L 21/205				
21/302	B	9277-4M		
21/31	C			

審査請求 未請求 請求項の数20 O L (全 23 頁)

(21)出願番号 特願平5-74030

(22)出願日 平成5年(1993)3月31日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 岡村 信行

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 山上 敦士

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 高木 智

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

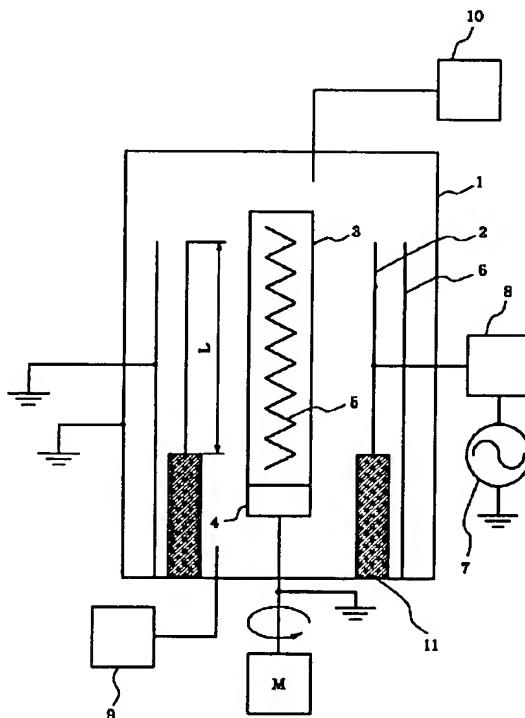
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 プラズマ処理装置及び処理方法

(57)【要約】

【目的】 13. 5 6 MHz 以上の放電周波数を用いてもプラズマ密度の均一化や膜厚分布の均一化を行ない、処理速度の向上を計りランニングコストや処理コストの低減、設計期間の短縮を計ること。

【構成】 プラズマインピーダンスを  $Z_p$ 、カソード電極のインピーダンスを  $Z_c$ 、カソード電極を取り囲むアースシールドのインピーダンスを  $Z_{sh}$ 、基板のホルダーのインピーダンスを  $Z_a$  としたとき、 $|Z_c|/|Z_p|$  または  $|Z_a|/|Z_{sh}|$  かつ  $|Z_c|/|Z_{sh}|$  のいずれか一方を満足するように構成する。



## 【特許請求の範囲】

【請求項 1】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、該電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、プラズマインピーダンス  $Z_p$  とカソード電極のインピーダンス  $Z_c$  が  $|Z_c| / |Z_p| \leq 5$ 、またはカソード電極を取り囲むアースシールドのインピーダンス  $Z_{sh}$  と該被処理基体とその基体を保持しているホルダーのインピーダンス  $Z_a$  とカソード電極のインピーダンス  $Z_c$  で  $|Z_a| / |Z_{sh}| \leq 1$  且つ  $|Z_c| / |Z_{sh}| \leq 1$  のいずれか一方を満たすことを特徴とするプラズマ処理装置。

【請求項 2】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置することを特徴とするプラズマ処理装置。

【請求項 3】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法 (L1) と、対向する被処理基体の寸法 (L2) との比 (L1 / L2) が 0.5 ~ 1.1 の範囲であることを特徴とするプラズマ処理装置。

【請求項 4】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、被処理基体またはその基体を保持しているホルダー以外であってカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソード電極との距離  $d_1$  と、前記被処理基体または前記ホルダーとカソード電極の間の距離  $d_2$  の比 ( $d_1 / d_2$ ) が 1 以上であることを特徴とするプラズマ処理装置。

【請求項 5】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極表面上の一部又は全体を誘電体で覆うことを

10

20

30

30

40

50

## 特徴とするプラズマ処理装置。

【請求項 6】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、カソード電極の形状が円筒状とされ、高周波電力の印加されるカソード電極を長さ方向に複数分割し、各カソード間に印加周波数に応じた各カソードのインダクタンス成分を打ち消す厚みの誘電体を設けることを特徴とするプラズマ処理装置。

【請求項 7】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の高周波印加導入部から見て最も遠いカソード電極部に対向する部分で基体の接地電位をとることを特徴とするプラズマ処理装置。

【請求項 8】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、アースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆うことを特徴とするプラズマ処理装置。

【請求項 9】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法 (L1) と、対向する被処理基体の寸法 (L2) との比 (L1 / L2) が 0.5 ~ 1.1 の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置することを特徴とするプラズマ処理装置。

【請求項 10】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法 (L1) と、対向する被処理基体の寸法 (L2) との比 (L1 /

L 2) を 0. 5 ~ 1. 1 の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆い、更に、前記被処理基体またはその基体を保持しているホルダーを除くカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソードとの距離 d 1 と、前記被処理基体と前記ホルダーとカソード間の距離 d 2 の比 (d 1 / d 2) が 1 以上であることを特徴とするプラズマ処理装置。

【請求項 1 1】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、プラズマインピーダンス  $Z_p$  とカソード電極のインピーダンス  $Z_c$  が  $|Z_c| / |Z_p| \leq 5$ 、または、カソード電極を取り囲むアースシールドのインピーダンス  $Z_{sh}$  と該被処理基体とその基体を保持しているホルダーのインピーダンス  $Z_a$  とカソード電極のインピーダンス  $Z_c$  で、 $|Z_a| / |Z_{sh}| \leq 1$  且つ  $|Z_c| / |Z_{sh}| \leq 1$  を満たすことを特徴とするプラズマ処理方法。

【請求項 1 2】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置した状態でプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 3】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法 (L 1) と、対向する被処理基体の寸法 (L 2) との比 (L 1 / L 2) を 0. 5 ~ 1. 1 の範囲としてプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 4】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、被処理基体またはその基体を保持しているホルダー以外であってカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソード電極との距離 d 1 と、前記被処理基体または前記

ホルダーとカソード電極との間の距離 d 2 の比 (d 1 / d 2) を 1 以上としてプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 5】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極表面上の一部又は全体を誘電体で覆った状態でプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 6】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、カソード電極の形状が円筒状とされ、高周波電力の印加されるカソード電極を長さ方向に複数分割し、各カソード間に所望の厚さの誘電体を設けて印加周波数に応じた各カソードのインダクタンス成分を打ち消してプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 7】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の高周波印加導入部から見て最も遠いカソード電極部に対向する部分で基体の接地電位をとった状態でプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 8】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、アースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆った状態でプラズマ処理することを特徴とするプラズマ処理方法。

【請求項 1 9】 減圧可能な反応容器内で、放電周波数が 30 MHz 以上 300 MHz 以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法 (L 1) と、対向する被処理基体の寸法 (L 2) との比 (L 1 / L 2) を 0. 5 ~ 1. 1 の範囲とし、且つ、前記カソード

ド電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置した状態でプラズマ処理することを特徴とするプラズマ処理方法。

【請求項20】 減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)を0.5~1.1の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆い、更に、前記被処理基体またはその基体を保持しているホルダーを除くカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソードとの距離d1と、前記被処理基体と前記ホルダーとカソード間の距離d2の比(d1/d2)が1以上であることを特徴とするプラズマ処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体デバイスとしての電子写真用感光体デバイス、画像入力用ラインセンサー、撮像デバイス、光起力デバイス等に有用な結晶質、または非単結晶質の機能性堆積膜を好適に形成し得るプラズマCVD装置、半導体デバイスや光学素子としての絶縁膜、金属配線等を好適に形成し得るスパッタ装置、或いは半導体デバイス等のエッチャリング装置等のプラズマ処理装置及びその処理方法に関し、更に詳しく述べて、特にプラズマを励起源として用い基体を処理を行うプラズマ処理装置及び処理方法であって、特に30MHz以上、300MHz以下の高周波を好適に使用可能なプラズマ処理装置及びその処理方法に関する。

【0002】

【従来の技術】 半導体等で使用されているプラズマ処理装置はそれぞれの用途に応じて様々な方法がある。例えば、成膜等ではプラズマCVD装置や方法を用いた酸化膜、窒化膜の形成やアモルファスシリコン系の半導体膜、またスパッタリング装置や方法を用いた金属配線膜、エッチャリング装置や方法を用いた微細加工技術等様々なその特徴を活かす装置、方法が使用されている。

【0003】 更に、近年膜質及び処理能力向上に対する要望も強くなつておる様々な工夫も検討されている。

【0004】 特に高周波電力を用いたプラズマプロセスは、放電の安定性が高く酸化膜や窒化膜の絶縁性の材料形成にも使用できる等様々な利点より使用されている。

【0005】 従来、プラズマCVD等のプラズマプロセスに用いられている放電用高周波電源の発振周波数は一般的に13.56MHzが用いられる。堆積膜形成に一般的に多く使われているプラズマCVD装置の一例を図23に示す。図23に示されるプラズマCVD装置は、円筒状の電子写真感光体用基体上にアモルファスシリコン膜(以下a-Si膜と記す)を形成する場合の成膜装置である。以下、この装置を用いたa-Si膜の成膜方法を説明する。

【0006】 減圧可能な反応容器1内に絶縁材料11により反応容器1とは電気的に絶縁された円筒状のカソード電極2及び対向電極としての円筒状の被成膜基体(電子写真感光体用基体)3が配置されている。膜厚及び膜特性の均一性を向上させるために、カソード電極2の円筒軸方向の寸法は被成膜基体の円筒軸方向の寸法よりも長くされている。例えば、放電周波数が13.56MHzのプラズマCVD法で、膜厚ムラが±10%程度以下の膜厚均一性を得るには、通常、カソード電極の円筒軸方向の寸法は被成膜基体の円筒軸方向の寸法の少なくとも約1.5倍から2倍程度必要である。ここで膜厚ムラとは被成膜基体上の膜厚の最大膜厚と最小膜厚の差を平均膜厚で割った値の1/2の値に±を付けて表した値と定義する。従って、図23に示されるプラズマCVD装置においても、通常はこのような関係となるように被成膜基体3とカソード電極2の長さの関係とされている(但し図23においてはその関係を正確に示していない)。被成膜基体3は、モータMにより駆動される回転機構4に保持され、内部の加熱ヒータ5により、その内側より加熱される。カソード電極2のまわりには、カソード電極2と反応容器1との間で放電が発生しないよう、アースシールド6が配置されている。高周波電源7は整合回路8を介してカソード電極2に接続されている。9は真空排気手段、10はガス供給手段である。

【0007】 反応容器1内を真空排気手段9によって所望の真空中(例えば高真空中)まで排気した後、ガス供給手段10によってシランガス、ジシランガス、メタンガス、エタンガスなどの原料ガスをまたジボランガスなどのドーピングガスを導入し、数10ミリトールから数トールの圧力を維持する。

【0008】 高周波電源7より13.56MHzの高周波電力をカソード電極2に供給して、カソード電極2と被成膜基体3との間にプラズマを発生させ原料ガスを分解することにより、加熱ヒータ4により200°C~350°C程度に加熱された被成膜基体3上にa-Si膜を堆積する。

【0009】 この成膜方法で電子写真感光体の性能を満足するa-Si膜を得るための堆積速度は例えば、1時間あたり6μm程度の堆積速度で行なわれるよう設定すると、それ以上に堆積速度を上げると感光体としての特性を得る事が出来ない場合がある。また、一般に電子

写真感光体としてa-Si膜を利用する場合、帯電能を得るために少なくとも20~30μmの膜厚が必要であり、電子写真感光体を製造する為には長時間を要していた。

【0010】ところで、近年、平行平板型のプラズマCVD装置を用い13.56MHz以上の高周波電源を用いたプラズマCVD法の報告(Plasma Chemistry and Plasma Processing, Vol 7, No 3, (1987) p267-273)があり、放電周波数を従来の13.56MHzより高くする事で、堆積膜の性能を落とさずに堆積速度を向上させることができると示されており、注目されている。またこの放電周波数を高くする報告はスパッタリング等でもなされ、近年広くその優位性が検討されている。

【0011】

【発明が解決しようとする課題】本発明者らは、上述したような従来のプラズマCVD装置を用い、良質な特性を有する膜の堆積速度向上のために放電周波数を従来の13.56MHzの代わりに、より高い周波数の高周波電力を用いて検討を行ってきた。

【0012】その結果、周波数を上げたことで確かに目的通り良質膜を従来より高い堆積速度で作製することは確認できたが、13.56MHzの放電周波数では問題にならなかった以下の様な問題が新たに発生する場合があることがわかった。

【0013】即ち、放電周波数を上げることでプラズマが過在化し、その結果、電子写真感光体のような比較的大面積の被加工体においては、堆積速度に不均一性が生じ、結果的に実用上問題となる様な膜厚ムラ、例えば電子写真感光体の場合±20%以上の膜厚ムラ、を生じる場合がある。

【0014】この様な膜厚ムラは、電子写真感光体のみならず、画像入力用ラインセンサー、撮像デバイス、光起力デバイス等に有用な結晶質、または非単結晶質の機能性堆積膜を形成する場合に大きな問題となる。またドライエッティング、スパッタ等の他のプラズマプロセスにおいても、放電周波数を上げた場合に同様の処理ムラが生じ、このままでは実用上大きな問題になってくる。

【0015】本発明の目的は、上述のような従来の問題点を克服し、従来のプラズマプロセスでは達成できなかった処理速度で比較的大面積の基体を均一にプラズマ処理することが可能なプラズマ処理装置及び方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成する本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、該電極上に配置した被処理基体をプラズマ処理する。

ズマ処理するプラズマ処理装置であって、プラズマインピーダンスZpとカソード電極のインピーダンスZcが|Zc|/|Zp|≤5、またはカソード電極を取り囲むアースシールドのインピーダンスZshと該被処理基体とその基体を保持しているホルダーのインピーダンスZaとカソード電極のインピーダンスZcで|Za|/|Zsh|≤1且つ|Zc|/|Zsh|≤1のいずれか一方を満たすことを特徴とする。

【0017】また、本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置することを特徴とする。

【0018】また、本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)が0.5~1.1の範囲であることを特徴とする。

【0019】更に、本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、被処理基体またはその基体を保持しているホルダー以外であってカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソード電極との距離d1と、前記被処理基体または前記ホルダーとカソード電極の間の距離d2の比(d1/d2)が1以上であることを特徴とする。

【0020】加えて、本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極表面上の一部又は全体を誘電体で覆うことを特徴とする。

【0021】また、本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対

向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、カソード電極の形状が円筒状とされ、高周波電力の印加されるカソード電極を長さ方向に複数分割し、各カソード間に印加周波数に応じた各カソードのインダクタンス成分を打ち消す厚みの誘電体を設けることを特徴とする。

【0022】更に、本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の高周波印加導入部から見て最も遠いカソード電極部に向する部分で基体の接地電位をとることを特徴とする。

【0023】本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、アースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆うことを特徴とする。

【0024】本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)を0.5~1.1の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置することを特徴とする。

【0025】本発明のプラズマ処理装置は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)を0.5~1.1の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドと前記アースシールドとプラズマ発生空間

の接する空間を絶縁物で覆い、更に、前記被処理基体またはその基体を保持しているホルダーを除くカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソードとの距離d1と、前記被処理基体と前記ホルダーとカソード間の距離d2の比(d1/d2)が1以上であることを特徴とする。

【0026】また、本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、プラズマインピーダンスZpとカソード電極のインピーダンスZcが|Zc|/|Zp|≤5、または、カソード電極を取り囲むアースシールドのインピーダンスZshと該被処理基体とその基体を保持しているホルダーのインピーダンスZaとカソード電極のインピーダンスZcで、|Za|/|Zsh|≤1且つ|Zc|/|Zsh|≤1を満たすことを特徴とする。

【0027】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する側に非磁性材料を配置した状態でプラズマ処理することを特徴とする。

【0028】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)を0.5~1.1の範囲としてプラズマ処理することを特徴とする。

【0029】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、被処理基体またはその基体を保持しているホルダー以外であってカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソード電極との距離d1と、前記被処理基体または前記ホルダーとカソード電極との距離d2の比(d1/d2)を1以上としてプラズマ処理することを特徴とする。

【0030】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極表面上の一部又は全体を誘電体で覆った状態でプラズマ処理することを特徴とする。

【0031】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、カソード電極の形状が円筒状とされ、高周波電力の印加されるカソード電極を長さ方向に複数分割し、各カソード間に所望の厚さの誘電体を設けて印加周波数に応じた各カソードのインダクタンス成分を打ち消してプラズマ処理することを特徴とする。

【0032】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の高周波印加導入部から見て最も遠いカソード電極部に対向する部分で基体の接地電位をとった状態でプラズマ処理することを特徴とする。

【0033】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、アースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆った状態でプラズマ処理することを特徴とする。

【0034】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理方法であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)を0.5~1.1の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドとして、プラズマ発生空間に面する側に軟磁性材料を配置するとともに、高周波電力導入に面する

側に非磁性材料を配置した状態でプラズマ処理することを特徴とする。

【0035】本発明のプラズマ処理方法は、減圧可能な反応容器内で、放電周波数が30MHz以上300MHz以下の高周波電力を印加するカソード電極と対向する電極との間にプラズマを発生させ、電極上に配置した被処理基体をプラズマ処理するプラズマ処理装置であって、高周波電力の印加されるカソード電極と前記カソード電極と対向する位置に設置された被処理基体を設置する電極を有するプラズマ処理装置のカソード電極の少なくとも一方向の寸法(L1)と、対向する被処理基体の寸法(L2)との比(L1/L2)を0.5~1.1の範囲とし、且つ、前記カソード電極周辺に設置されるアースシールドと前記アースシールドとプラズマ発生空間の接する空間を絶縁物で覆い、更に、前記被処理基体またはその基体を保持しているホルダーを除くカソード近傍に設置され且つプラズマ発生空間に接するアース電極とカソードとの距離d1と、前記被処理基体と前記ホルダーとカソード間の距離d2の比(d1/d2)が1以上であることを特徴とする。

【0036】

【実施例】以下、本発明を図面を用いて説明する。

【0037】本発明者らは、従来の装置及び方法における前述の問題点を鋭意検討した結果、放電周波数とプラズマの不均一性との関係について簡単な高周波等価回路に基づいて体系化し、従来より高い放電周波数においてもプラズマの均一化及びそれに基づくプラズマ処理の均一化を達成する手段について知見を得た。以下、図22の高周波等価回路に沿って以下に説明する。

【0038】高周波電源151より出力された高周波電力をカソード電極152上に印加、伝搬させ、該カソード電極と対向する被処理基体153との間の高周波電界によりプラズマ154を生起させることにより、前記被処理基体上にプラズマ処理を行う。この際、上記の各構成部分を高周波回路としてそのインピーダンスを考えてみると以下の様になる。

(ア) カソード電極；カソードのインピーダンスZcは、カソードの表皮抵抗成分Rc、インダクタンス成分Lcとすると、  

$$Z_c = R_c + j \omega L_c$$

となる。

(イ) プラズマ；プラズマのインピーダンスは、プラズマの純抵抗成分Rp、プラズマとカソード電極及び被処理基体との境界のイオンシースの容量成分Cpとすると、  

$$Z_p = R_p + 1/j \omega C_p$$

となる。

(ウ) 被処理基体；アノード電極となる被処理基体のインピーダンスは、その表皮抵抗成分Ra、インダクタンス成分Laとすると、

$$Z_a = R_a + j \omega L_a$$

となる。なお、以上において、 $j$  は虚数単位、 $\omega$  は高周波の角周波数である。

【0039】ところで、高周波等価回路的に見て、上述のような構成を持つプラズマ処理装置において、高周波の周波数を上げていくと、

(1) 被処理基板の大面積化に伴い通常は対極に位置するカソード電極面積も大きくなり対応をとるが、カソードに印加される放電周波数（高周波電源の周波数）が高くなるとカソード電極のインダクタンス成分  $L_c$  によるインピーダンス  $Z_c$  も大きくなり、カソード上での高周波電圧が高周波導入部からカソード上を伝搬するにつれて減衰しやすくなってくる。

(2) カソード電極と接しているプラズマのインピーダンス  $Z_p$  は、周波数が上がるにつれてその容量インピーダンス成分  $1/j\omega C_p$  により小さくなってくるため高周波電流は周波数を上げるにつれてカソード上よりもプラズマに多く流れ易くなり、更にカソード上を伝搬する際の高周波電圧の減衰は大きくなる。

【0040】この結果、放電周波数を上げると、カソード上の高周波電圧のムラによりプラズマも遍在化する。

(3) 実際のプラズマ処理装置においては、図22に示される通り、高周波電源151からの高周波電力をカソード電極へ効率よく伝送するためにその伝送路周囲にアースシールド155を設置するが、該アースシールドも通常誘電体により電気的にカソードと絶縁されているも\*

表 1

表皮抵抗値  $R_c$ 

材質	Al	Cu	Fe	SUS304	45A-マリ
抵抗値(100MHz) $\Omega$	3.24E-02	2.58E-02	6.50E+00	1.69E-01	6.67E+00
抵抗値(50MHz) $\Omega$	2.29E-04	1.83E-02	4.60E+00	1.19E-01	4.72E+00
抵抗値(10MHz) $\Omega$	1.03E-02	8.17E-03	2.06E+00	5.33E-02	2.11E+00

【0043】また図13に非磁性材料電極で、電極長1、電極半径  $a/2$  における100MHzでのインダクタンス成分によるインピーダンスを示す。非磁性材料ではこの領域のインピーダンス  $Z_c$  はほとんどインダクタンス成分によるインピーダンスで決定される。

【0044】しかしながら軟磁性材料を用いた場合表皮抵抗成分  $R_c$  が大きくなりインピーダンス  $Z_c$  は「 $Z_c = R_c + j \omega L_c$ 」より影響を受けることが判る。

(イ)  $|Z_c| = 144 \Omega$  (100MHz) となるカソード電極上で電極間中央でのプローブ法によるプラズマ密度分布の測定結果を図17に示す。

【0045】図17に示されるようにカソード電極、対向電極間のプラズマ密度は高周波導入部側のプラズマ密度が高く、導入部から離れるに従ってプラズマ密度が低

\*のカソードとの間に容量成分を持っており、周波数が上がるにつれて両者間のインピーダンスは小さくなる。同様に、アースシールドは伝送路外においてはプラズマとも接している場合が多く、プラズマとの間のインピーダンスも容量的な為に放電周波数が上がるにつれ小さくなってくる。また、被処理基体を接地、絶縁若しくは電位を与えるとしても、高周波においてはアースとの間に何らかのインピーダンス ( $Z_{ash}$ ) を有している。ここで、カソードと被処理基体との間のインピーダンスやカソードのインピーダンスよりもカソードとアースシールドの伝送路外の部分とのインピーダンスが低くなつた場合、高周波電流は、アースシールド外部を伝送してアースに流れてしまつたり、アースシールド周囲の高周波電界が大きくなり放電がアースシールド周囲に遍在化するため、相対的にカソード上の放電が弱くなりアースシールド付近のプラズマ処理速度が上がり処理ムラが発生する

等の問題が生じる場合があることが判った。

【0041】以上の問題を図23のプラズマCVD装置を用いて測定した結果で示す。

(ア) 電極のインピーダンスは放電周波数、電極長、電極半径、電極材質により影響される。表1に各周波数における表皮抵抗成分  $R_c$  の値を示す。

【0042】

【表1】

下する傾向が見られる。これはカソード電極のインダクタンス成分  $L_c$  によるインピーダンス  $Z_c$  の増加に伴う高周波電圧のカソード上の伝搬の減衰による放電ムラを示している。

(ウ) カソード電極と反応容器内壁アースとの距離  $d_1$  とカソード電極と対向電極との距離  $d_2$  の比 ( $d_1/d_2$ ) を0.5としたすなわち対向電極より反応容器壁を近づけた場合でのカソード、対向電極間のプラズマ密度分布の測定結果を図19に示す。

【0046】ここで目視でもカソード-反応容器内壁との間でプラズマ発光強度が強く放電が強く起こっており、プラズマ密度もこの放電遍在の影響を受けより分布のムラが助長されている。

【0047】以上のプラズマ密度のムラは図20の膜厚

分布の図に見られるようにカソード電極の対極に設置された基体上の膜厚分布へ影響を与え、膜厚分布ムラが発生する原因であることが示される。ここで膜厚分布とは被成膜基体上の膜厚を最大膜厚で割った比率と定義する。

【0048】比較として同じ図23のプラズマCVD装置にて従来使用されている13.56MHzで測定結果を示す。カソードインピーダンス、プラズマ密度、膜厚分布の測定結果を夫々示す。

【0049】図15に非磁性材質電極におけるインダクタンス成分によるインピーダンスの電極長1、電極半径a/2の依存性を示す。例えば、電極長1を0.5m、電極半径a/2を0.04mとすると、100MHzで|Zc|は約144.3Ωであったカソードインピーダンスは13.56MHzでは|Zc|は約19.6Ωとなりインピーダンスは小さくなることが判る。

【0050】また、カソード電極上で電極間中央でのプローブ法によるプラズマ密度分布の測定結果を図18に示す。

【0051】図18に示したようにカソード電極、対向電極間のプラズマ密度はほぼ均一である。これはカソード電極のインダクタンス成分LcによるインピーダンスZcの増加に伴う高周波電圧のカソード上の伝搬の減衰は13.56MHzではほとんど見られないことを示している。

【0052】従って、高周波を減衰することを少なくして伝送したい場合は、この軟磁性材料を用い、非磁性材料を用いることが好ましい。これは高周波放電漏れ防止を兼ねたアースシールドを構成する材質として、プラズマの接する側は軟磁性材を用い、一方高周波を伝送する側は非磁性材を用いることが好ましいことを示している。

【0053】また、図21に見られるようにカソード電極の対極に設置された基体上の膜厚分布のムラはなくほぼ均一であることが示される。

【0054】以上示したように13.56MHz及びその近傍の放電周波数では問題にはならず、放電周波数をより高くすることでこれらの問題が大きく発生するものである。

【0055】これらの問題はどの周波数より影響を受け顕著となるかを計測するため、図23のプラズマCVD装置を用い13.56MHz～300MHzで放電を行い、図16に各々のプラズマ密度ムラを測定した結果を示す。ここでプラズマ密度ムラとはプラズマ密度の最大値と最小値の差をプラズマ密度の平均値にて割った値と定義する。

【0056】図16に示されるように、プラズマ密度ムラは30MHz近傍で±10%以上となり放電周波数によるカソード電極のインピーダンスによる高周波電圧の減衰が顕著になることがわかる。なお、放電周波数が3

00MHzを越えると高周波の整合回路の設計が困難になり、また伝送損失も大きくなり実用的ではないことが判った。

【0057】被処理基体に入射するイオンのエネルギーの幅を計測したところ、13.56MHzでは約30eVであったが、30MHzでは約15eV、100MHz以上では約10eVであった。

【0058】被処理基体への入射イオンエネルギーを利用するプロセスにおいては、このエネルギー幅を小さくすることで制御性の向上を達成することができる点を鑑みると、30MHz以上のプロセスにおいてこの相関関係は重要な問題となる。

【0059】そこで30MHz～300MHzでのこれらカソードインピーダンスによる高周波電力損失等による不均一化を解決する手段として本発明者等は以下に示す知見を得た。

(1) カソード電極のインピーダンスの大きさ|Zc|、プラズマインピーダンスの大きさ|Zp|、カソードに対向する電極のインピーダンスの大きさ|Za|、カソード近傍に設置されるアースシールドのインピーダンス大きさ|Zsh|、に関係があると思われること。

(2) カソード、対向電極間のプラズマ密度Ne1及びカソード電極、対向電極以外のアース電極(アースシールド、反応容器壁等)間のプラズマ密度Ne2に関係があると思われること。

(3) カソード電極、プラズマ、対向電極トータルでのインピーダンス調整に関係があると思われること。

である。

【0060】そこで、図23に示される構成の装置にて

|Zc|/|Zp|に対する電極間のプラズマ密度ムラを計測した。プラズマインピーダンス|Zp|は高周波電力の整合回路のマッチング定数より算出する。

【0061】その結果|Zc|/|Zp|≤5なる条件でプラズマ密度ムラが±10%以下になりまた膜厚ムラも±10%以下になり膜厚分布の均一性が達成できることがわかった。

【0062】また|Za|/|Zsh|及び|Zc|/|Zsh|に対するプラズマ密度ムラを計測したところ|Za|/|Zsh|≤1且つ|Zc|/|Zsh|≤1なる条件でプラズマ密度ムラが±10%以下となり、また膜厚ムラも±10%以下になり膜厚分布の均一性が達成できることがわかった。

【0063】また、図23に示される装置にてNe1≥Ne2なる条件としてカソード電極、対向電極以外のアースシールド間の空間をテフロンにて埋め強制的に放電を防止しプラズマを発生しないようにして成膜を行い膜厚ムラを測定したところ±10%以下の膜厚分布の均一性が達成できることがわかった。

【0064】同様にカソード電極とその対向電極の電極間距離d1とカソード電極と対向電極以外のプラズマ空

間に接するアース電極との距離  $d_2$  で  $d_1 < d_2$  としてプラズマ密度を計測したところ、カソード、対向電極間のプラズマ密度  $N_e 1$  及びカソード電極、対極電極以外のアース電極（アースシールド）間のプラズマ密度  $N_e 2$  の関係は  $N_e 1 > N_e 2$  となりまたこの条件で膜厚ムラは  $\pm 10\%$  以下となり膜厚分布の均一性を達成できることがわかった。

【0065】また、カソード電極インピーダンス、プラズマインピーダンス及びカソード電極と対向する電極のインピーダンスを各部分でほぼ等しくするため、カソード電極に印加される高周波導入部分と最も遠い位置で対向電極のアース電位導入部をとることでプラズマ密度分布は  $\pm 10\%$  以下になり、また膜厚ムラも  $\pm 10\%$  以下となり膜厚分布の均一性を達成できることがわかった。

【0066】以上、均一なプラズマを得る手段として (a) カソード電極近傍のアースシールド材構成によって  $|Z_{sh}|$  を制御すること ( $|Z_{sh}|$  を大きくする)、(b) カソード電極長と対向電極長の関係を適切にすること (カソード電極インピーダンスの大きさ  $|Z_c|$  を小さくし、且つ  $N_e 1 > N_e 2$  を達成)、(c) カソード電極とその対向電極の電極間距離とカソード電極と対向電極以外のプラズマ空間に接するアース電極との距離との関係を適切にすること ( $N_e 1 > N_e 2$  によりプラズマ密度分布等向上)、(d) カソード電極表面を誘電体にて覆うことによるプラズマインピーダンスの大きさ  $|Z_p|$  を制御すること ( $|Z_p|$  を大きくする)、(e) カソード電極のインダクタンス成分  $L_c$  を相殺する容量成分  $C_c$  にて分割しカソード電極インピーダンスの大きさ  $|Z_c|$  を制御すること ( $|Z_c|$  を小さくする)、(f) カソード電極と対向する電極の高周波並びにアース電位の導入位置の関係を適切にすること (カソード電極インピーダンスの大きさ  $|Z_c|$ 、プラズマインピーダンスの大きさ  $|Z_p|$  及び対向電極インピーダンスの大きさ  $|Z_a|$  を各部分で等しくしプラズマ密度分布向上)、(g) カソード電極近傍のアースシールドとプラズマ発生空間を遮断する手段を設けること ( $N_e 1 > N_e 2$  によりプラズマ密度分布等向上)、が考えられる。

【0067】ここで、本発明のカソード電極長と被成膜基体との長さの比を限定する特許として特開平4-212167が開示されている。前記特許は成膜中に発生する微粉体による被堆積膜の画像欠陥を防止する技術として、円筒状の被成膜基体への成膜方法として被成膜基体の上下に脱着可能な導電体のホルダーを該被成膜基体長と該ホルダー長を合わせた全長とカソード電極である対向電極全長の長さの関係を限定し該対向電極と該被成膜基体の端部での不均一放電を防止する方法である。

【0068】しかしながら前記特許は、微粉体の発生防止としての圧力低下をすると  $1.3 \sim 5.6 \text{ MHz}$  では成膜速度も低下するといった問題も発生する考慮して、放電

周波数に対する認識は全くなく放電周波数を高くするうえでの問題点を考慮していないものであり本特許とは本質を異なるものである。

【0069】上記説明は一例として一般的なプラズマ処理装置であるプラズマCVD装置を取りあげて行なったが、他のプラズマ処理プロセスであるスパッタリング、エッティング等も同様の問題点を有しており、その問題点の解決方法はプラズマCVD装置の場合と基本的に同じである。

【0070】従って、本発明はプラズマCVD装置のみに限定されるものではない。

【0071】また上述した装置及び方法は各手法単独で実施されることに限定されるものではなく複数の手法を同時に実施することによりより一層の効果を増すことができることは言うまでもない。また、本発明は本発明の範囲内において、適宜変形、組み合わせができることも云うまでもなく、以下に説明する実施例に限定されるものではない。

【0072】なお、本発明のカソード電極のインピーダンスの大きさは  $150\Omega$  以下とすることは放電の均一性の上で望ましい。

【0073】以下、具体的な実施例と比較例を挙げて本発明を更に詳しく説明する。

【0074】なお、本発明は以下に説明される実施例に限定されるものではなく、本発明の主旨の範囲内で適宜変形が可能であり、また以下の実施例を或は本発明の主旨を本発明の主旨の範囲内で適宜組み合わせることも可能であることは云うまでもないことである。

【0075】(実施例1及び比較例1) 図1に示される本発明のプラズマCVD装置を用いて、放電周波数  $50 \text{ MHz}$  及び  $100 \text{ MHz}$  として、下記の成膜条件(1)で  $a-Si$  膜を被成膜基体3上に形成した。なお、図1において、図23に示される符号と同じ符号は図23で説明した通りであるのでその説明については省略する。

【0076】まず、 $50 \text{ MHz}$  でのカソード電極インピーダンス  $Z_c$  の関係を図14に基づいて、各々の周波数でのプラズマインピーダンス  $Z_p$  に対しカソード電極長  $l$  を変えて、各々  $|Z_c|/|Z_p| = 5$ 、 $|Z_c|/|Z_p| = 1$ なる条件とし膜厚ムラを測定した。

【0077】また同様の成膜条件(1)で図14に基づいてカソード電極長  $l$  を変え  $|Z_c|/|Z_p| = 1$ 、 $|Z_c|/|Z_p| = 20$ なる条件で膜厚ムラの比較実験を行った。

【0078】その結果膜厚ムラは、周波数が  $50 \text{ MHz}$  の時、 $|Z_c|/|Z_p| = 5$  で約  $\pm 10\%$ 、 $|Z_c|/|Z_p| = 1$  で約  $\pm 5\%$  となった。比較実験として、 $|Z_c|/|Z_p| = 10$ 、 $|Z_c|/|Z_p| = 20$  とした以外は条件を同じにして膜厚ムラを測定したところ、夫々約  $\pm 20\%$ 、約  $\pm 30\%$  となった。

【0079】但し、それぞれの膜は分布のみの影響が大

きく同膜厚状態で部分的に a-Si 膜の膜質を測定した結果によれば、膜質は電子写真感光体や画像入力用ラインセンサー等に使用しても実用に十分耐え得るものであった。

【0080】また、放電周波数 100 MHz としたいがいは同じ条件で a-Si 膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0081】以上の結果からわかるように、カソード電極のインピーダンスとプラズマインピーダンスには  $|Z_c|/|Z_p| \leq 5$  なる条件で装置構成を行うことにより放電周波数が高くなつても膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

#### 成膜条件 (1)

- ・原料ガス ... SiH<sub>4</sub>
- ・キャリアーガス ... H<sub>2</sub>
- ・ガス流量 ... SiH<sub>4</sub> 350 sccm  
H<sub>2</sub> 350 sccm
- ・圧力 ... 0.25 torr
- ・基体温度 ... 310°C
- ・高周波電力 ... 0.5 W/cm<sup>2</sup>

【0082】(実施例 2 及び比較例 2) 図 2 に示されるプラズマ CVD 装置を用いて、放電周波数 50 MHz 及び 100 MHz として、下記の成膜条件 (2) で a-Si 膜を被成膜基体上に形成した。図 2 において、図 23 の符号と同じ符号で示されるものは図 23 で説明したものと同じであるのでその説明は省略する。

【0083】なお、図 2 において、15 はカソード電極に設けられたガス噴出口、21 及び 22 で示されるものはいずれもシールド部材である。

【0084】また、図 2 において、高周波導入側に面したシールド部材 22 としてはアルミニウムを、プラズマに接した側に面したシールド部材 21 としては鉄を用いて検討した。

【0085】本発明の条件との比較を兼ね、50 MHz

で  $|Z_a|/|Z_{sh}| = 1.0$ 、 $|Z_a|/|Z_{sh}| = 2$ 、 $|Z_a|/|Z_{sh}| = 1$ 、 $|Z_a|/|Z_{sh}| = 0.5$ 、なる条件及び  $|Z_c|/|Z_{sh}| = 1.0$ 、 $|Z_c|/|Z_{sh}| = 2$ 、 $|Z_c|/|Z_{sh}| = 1$ 、 $|Z_c|/|Z_{sh}| = 0.5$  なる条件で、前記した方法により膜厚ムラを測定したところ、表 2 の様になつた。

【0086】表 2 に示されるように、 $|Z_a|/|Z_{sh}| \leq 1$  且つ  $|Z_c|/|Z_{sh}| \leq 1$  で膜厚ムラは 10% 内となり、実用に使用できる膜厚ムラであった。

【0087】なお、それぞれの膜は分布のみの影響が大きく同膜厚状態で部分的に a-Si 膜の膜質を測定したところ、いずれの条件においても膜質は電子写真感光体や画像入力用ラインセンサー等にしようして実用に十分耐え得るものであった。

【0088】放電周波数を 100 MHz とした以外は上記条件と同じにして a-Si 膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0089】以上の結果から分かるように、カソード電極のインピーダンスとプラズマインピーダンスには  $|Z_a|/|Z_{sh}| \leq 1$  且つ  $|Z_c|/|Z_{sh}| \leq 1$  なる条件で装置構成を行うことにより放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

#### 【0090】成膜条件 (2)

- ・原料ガス ... SiH<sub>4</sub>
- ・キャリアーガス ... H<sub>2</sub>
- ・ガス流量 ... SiH<sub>4</sub> 450 sccm  
H<sub>2</sub> 450 sccm
- ・圧力 ... 0.2 torr
- ・基体温度 ... 310°C
- ・高周波電力 ... 0.5 W/cm<sup>2</sup>

#### 【0091】

#### 【表2】

表 2

### 膜厚ムラ計測 (±%)

$ Z_a  /  Z_{sh} $	$ Z_c  /  Z_{sh} $			
	0.5	1.0	2.0	3.0
0.5	4	9	13	20
1.0	8	10	21	31
2.0	121	18	24	35
3.0	17	23	32	43

| Za | : カソード対向電極インピーダンスの大きさ

| Zc | : カソード電極インピーダンスの大きさ

|-Zsh|: カソード近傍アースシールドのインピーダンスの大きさ

【0092】(実施例3) 図3に示される円筒同軸型プラズマCVD装置を用いて、放電周波数50MHz及び100MHzとして、下記の成膜条件(3)でa-Si膜を被成膜基体上に形成した。図2において、図23の符号と同じ符号で示されるものは図23で説明したものと同じであるのでその説明は省略する。なお、図3において、14はカソード電極2用のアースシールド、16は容量結合用絶縁材料である。

【0093】カソード電極2は複数個の電極に分割され、それぞれを容量結合用絶縁材料16として石英リングを介して複数個の各カソード電極のインダクタンス成分を打ち消す容量になる距離で交互に設置されている。これによりカソード電極2のインピーダンスは希望する放電周波数で最小にことができる。プラズマインピーダンスは測定の結果放電周波数50MHzで約40Ω、100MHzで約10Ωであった。

【0094】前記した方法により膜厚ムラを測定したところ、約±8%となり、また、a-Si膜の膜質を測定したところ、膜質は電子写真感光体や画像入力用ラインセンサー等に充分に使用し得るものであった。

【0095】放電周波数を100MHzとした以外は上記した条件と同じ条件によりa-Si膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0096】以上の結果からわかるように、カソード電極上のシースによる容量成分を小さくし結果プラズマインピーダンスの大きさを大きくすることで、カソード電極インピーダンスの大きさの範囲を広げられるので、放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

### 【0097】成膜条件 (3)

- ・原料ガス ... SiH<sub>4</sub>
- ・キャリアーガス ... H<sub>2</sub>

：ガス流量 : : : SiH<sub>4</sub> 450 s.c.c.m.

$H_0 = 450 \text{ s} \text{ cm}$

· 壓力 · · · 0.3 t or r

· 基体温度 · · · 310℃

・高周波電力 . . . 0. 5 W/cm<sup>2</sup>

【0098】(実施例4及び比較例3) 図4に示されるプラズマCVD装置を用いて、放電周波数100MHzとして、カソード側の高周波電力導入部分に対して直流電位的にアース電位に保たれている円筒状基体のアース電位導入部をカソード電極高周波導入部に対して最も遠い部分で行なうと共に、下記の成膜条件(4)にてa-S1膜を被成膜基体上に形成した。図4において、図23と同じ符号で示されるものは図23において説明したものと同じであるので説明を省略する。図4において、12は基体用絶縁材料、14はカソード電極2用のアースシールド、15はカソード電極に設けられたガス噴出口である。また比較として図24のプラズマCVD装置を用いてカソード側の高周波電力導入部分に対して直流電位的にアース電位に保たれている円筒状基体のアース電位導入部をカソード電極高周波導入部に対して最も近い部分で行なった場合で同成膜条件にした以外は同様にしてa-S1膜を被成膜基体上に形成した。

40 【0099】各条件で前記した方法により膜厚ムラを測定したところ、最も遠い場合が約±10%、最も近い場合約±30%となつた。

【0100】それぞれの膜は分布のみの影響が大きく同じ膜厚状態の部分で部分的に a-Si 膜の膜質を測定したところ、膜質は電子写真感光体や画像入力用ラインセンサー等に使用して充分実用し得るものであった。

【0101】放電周波数を50MHzにした以外は上記条件と同様にしてa-Si膜を同様の被成膜基体上に形成したところ、最も遠い場合が約±8%、最も近い場合約±10%となった。このように、本実施例において

は、特に放電周波数が大きいほど膜厚ムラの効果が高い結果が得られることがわかった。

【0102】以上の結果からわかるように、カソード側の高周波電力導入部分に対して直流電位的にアース電位に保たれている円筒状基体のアース電位導入部をカソード電極高周波導入部に対して最も遠い部分でアース電位と結合することにより膜厚ムラを改善でき、更にその効果は放電周波数が高くほど大きく、放電周波数による装置形状を最適化することが可能である。

【0103】成膜条件(4)

- ・原料ガス ··· SiH<sub>4</sub>
- ・キャリアーガス ··· H<sub>2</sub>
- ・ガス流量 ··· SiH<sub>4</sub> 450 sccm  
H<sub>2</sub> 450 sccm
- ・圧力 ··· 0.2 torr
- ・基体温度 ··· 310°C
- ・高周波電力 ··· 0.5 W/cm<sup>2</sup>

【0104】(実施例5及び比較例4) 図5に示されるプラズマCVD装置を用いて、放電周波数100MHzとして、下記の成膜条件(5)でa-Si膜を被成膜基体上に形成した。図5において、図23と同じ符号は図23において説明したので説明を省略する。

【0105】なお、成膜の際に、カソード電極2の近傍でアース電位に保たれた、基体3を除く最短距離のアース電位部分(通常は反応容器1またはカソード電極シールド6)との距離d1と前記基体3とカソード電極2との電極間距離d2との間の比、d1/d2の値、がd1/d2=0.5、d1/d2=0.9、d1/d2=1、d1/d2=2となるように変化させた。

【0106】上記したd1/d2の条件で作製されたa-Si膜を前記した方法により膜厚ムラを測定したところ、夫々順に約±30%、約±12%、約±10%、約±7%となった。つまり、d1/d2の値が1以上となった時に膜厚ムラが少なくなることがわかる。

【0107】それぞれの膜は分布のみの影響が大きく、同じ膜厚部分の膜について部分的にa-Si膜の膜質を測定したところ、膜質は電子写真感光体デバイスや画像入力用ラインセンサー等に使用して充分使用し得るものであった。

【0108】放電周波数を50MHzとした以外は上記した条件と同様にしてa-Si膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0109】以上の結果からわかるように、カソード近傍でアース電位に保たれた基体を除く最短距離のアース電位部分(真空槽及びカソード電極シールド)との距離d1と前記基体とカソード電極との電極間距離d2でd1/d2≥1とすることにより放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

【0110】成膜条件(5)

- ・原料ガス ··· SiH<sub>4</sub>
- ・キャリアーガス ··· H<sub>2</sub>
- ・ガス流量 ··· SiH<sub>4</sub> 350 sccm  
H<sub>2</sub> 350 sccm
- ・圧力 ··· 0.25 torr
- ・基体温度 ··· 310°C
- ・高周波電力 ··· 0.5 W/cm<sup>2</sup>

【0111】(実施例6及び比較例5) 図6に示されるプラズマCVD装置を用いて、カソード電極の円筒軸方向の寸法(L1)と被成膜基体の円筒軸方向の寸法(L2)との比(L1/L2)を1.0とし、高周波電源の発振周波数(放電周波数)を100MHzとして、下記の成膜条件(6)でa-Si膜を被成膜基体上に形成した。図6において、図23と同じ符号は図23において説明したので説明を省略する。

【0112】形成されたa-Si膜を、前記した方法により膜厚ムラを測定したところ、約±8%であった。

【0113】また、形成されたa-Si膜の膜質は電子写真感光体デバイスや画像入力用ラインセンサー等に使用されるa-Si膜として十分な特性を有していた。

【0114】従来法との比較のため、図23のプラズマCVD装置を用いて、カソード電極と被成膜基体の円筒軸方向の寸法比を2.0とし、13.56MHz及び10.5MHzの高周波電源を用いて、成膜条件(6)でa-Si膜を被成膜基体上に形成したところ、13.56MHzの高周波放電の場合の膜厚ムラは約±10%、平均堆積速度は5(μm/時間)であったが、放電周波数を100MHzとした以外は同じ条件でa-Si膜を成膜し、同様に膜厚ムラを測定したところ膜厚ムラは約±30%であった。

【0115】以上の結果からわかるように、カソード電極の円筒軸方向の寸法(L1)と被成膜基体の円筒軸方向の寸法(L2)との比(L1/L2)を1.0とすることによって、放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

【0116】成膜条件(6)

- ・原料ガス ··· SiH<sub>4</sub>
- ・キャリアーガス ··· H<sub>2</sub>
- ・ガス流量 ··· SiH<sub>4</sub> 350 sccm  
H<sub>2</sub> 350 sccm
- ・圧力 ··· 0.25 torr
- ・基体温度 ··· 310°C
- ・高周波電力 ··· 0.5 W/cm<sup>2</sup>

【0117】(実施例7及び比較例6) 図7に示されるプラズマCVD装置を用いて、放電周波数を50MHzとして、下記の成膜条件(7)でa-Si膜を被成膜基体上に形成した。図7において、図23と同じ符号は図23において説明したので説明を省略する。また、14はカソード電極2用のアースシールド、15はガス噴出

口である。

【0118】図7においては、アースシールド14と、アースシールド14とプラズマ発生空間の接する空間が石英で覆われている。

【0119】図7に示される装置を用いて形成されたa-Si膜を前記したのと同様に膜厚ムラを測定したところ、形成されたa-Si膜の膜厚ムラは約±9%であった。

【0120】それに対し、図7のプラズマCVD装置を用いて前記石英を外した以外は、即ち、アースシールド14が露出された状態とした以外は、同様に下記成膜条件(7)でa-Si膜を形成し膜厚ムラを測定したところ膜厚ムラは約±3%であった。

【0121】それぞれの膜は分布のみの影響が大きく、いずれの装置で形成されたa-Si膜の同じ膜厚部分で部分的にa-Si膜の膜質を測定したところ、いずれの装置で形成されたa-Si膜の膜質も電子写真感光体デバイスや画像入力用ラインセンサー等に十分使用し得るものであった。

【0122】放電周波数を100MHzとした以外は同様にしてa-Si膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0123】以上の結果からわかるように、アースシールドとアースシールドとプラズマ発生空間の接する空間を絶縁物で覆うことにより、放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

#### 【0124】成膜条件(7)

・原料ガス	···	SiH <sub>4</sub>	
・キャリアーガス	···	H <sub>2</sub>	
・ガス流量	···	SiH <sub>4</sub>	450 sccm
H <sub>2</sub>	450 sccm		
・圧力	···	0.2 torr	
・基体温度	···	310°C	
・高周波電力	···	0.5 W/cm <sup>2</sup>	

【0125】(実施例8及び比較例7)図8に示されるプラズマCVD装置を用いて、放電周波数を50MHzとして、下記の成膜条件(8)でa-Si膜を被成膜基体上に形成した。図8において、図23と同じ符号のものは同じものであるため説明を省略する。また、図8において、14はカソード電極2用のアースシールド、15はガス噴出口、17はカソード電極3上に設けられた絶縁体カバーである。図8に図示されるようにカソード電極2の表面は絶縁体カバー17として開口率20%とした石英カバーにて覆われている。

【0126】図8に示されるプラズマCVD装置を用いて形成されたa-Si膜の膜厚ムラを、上記したのと同様な方法で測定したところ、膜厚ムラは約±10%であった。

【0127】また、図8のプラズマCVD装置において

て、前記絶縁体カバー17を外した以外は同様の成膜条件でa-Si膜を形成し、同様に膜厚ムラを測定したところ膜厚ムラは約3%であった。

【0128】それぞれの装置で形成されたa-Si膜は分布のみの影響が大きく、同じ膜厚部分で部分的にa-Si膜の膜質を測定したところ、膜質は電子写真感光体デバイスや画像入力用ラインセンサー等の使用に十分なものであった。

【0129】また、放電周波数を100MHzとした以外は同様にしてa-Si膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0130】更に、カソード電極上全体を絶縁体カバー17で覆った場合も同様に膜厚ムラなくa-Si膜を形成することができた。

【0131】以上の結果から分かるように、カソード電極上的一部又は全体を誘電体(絶縁体)で覆うことにより、放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

#### 【0132】成膜条件(8)

・原料ガス	···	SiH <sub>4</sub>	
・キャリアーガス	···	H <sub>2</sub>	
・ガス流量	···	SiH <sub>4</sub>	450 sccm
H <sub>2</sub>	450 sccm		
・圧力	···	0.2 torr	
・基体温度	···	310°C	
・高周波電力	···	0.5 W/cm <sup>2</sup>	

【0133】(実施例9)図9に示されるプラズマCVD装置を用いて、カソード電極の円筒軸方向の寸法(L1)と被成膜基体の円筒軸方向の寸法(L2)との比(L1/L2)を1.0とし、放電周波数を100MHzとし、下記の成膜条件(9)でa-Si膜を被成膜基体上に形成した。図9において、図23と同じ符号は図23において説明したので説明を省略する。また、図9において、15はガス噴出口、21及び22はシールド材である。

【0134】なお、高周波導入側に面したシールド材22はアルミニウム、プラズマに接した側に面したシールド材21は鉄として、a-Si膜を被成膜基体に成膜し、同様に膜厚ムラを測定した。その結果、形成されたa-Si膜の膜厚ムラは約±3%であった。また、形成されたa-Si膜の膜質は電子写真感光体デバイスや画像入力用ラインセンサー等に使用されるa-Si膜として充分な特性を有するものであった。

【0135】また、放電周波数を100MHzとした以外は同様の条件でa-Si膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0136】以上の結果からわかるように、放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に、放電周波数による装置形状を最適化することが可能

である。

【0137】成膜条件(9)

- ・原料ガス ··· SiH<sub>4</sub>
- ・キャリアーガス ··· H<sub>2</sub>
- ・ガス流量 ··· SiH<sub>4</sub> 450 sccm
- H<sub>2</sub> 450 sccm
- ・圧力 ··· 0.2 torr
- ・基体温度 ··· 310°C
- ・高周波電力 ··· 0.5 W/cm<sup>2</sup>

【0138】(実施例10) 図10に示されるプラズマCVD装置を用いて、カソード電極の円筒軸方向の寸法(L1)と被成膜基体の円筒軸方向の寸法(L2)との比(L1/L2)を1.0とし、放電周波数を100MHzとし、下記成膜条件(10)にてa-Si膜を被成膜基体に成膜した。なお、図10において、図23と同じ符号のものは図23で説明したものと同じであるため説明を省略する。また、図10において、14はカソード電極2用のアースシールド、19は絶縁体カバーである。図10においては、カソード電極2と被成膜基体電極間3以外のアースシールド14とプラズマ発生空間との接触する空間を絶縁体カバー19である石英にて覆い、カソード電極2の近傍に設置され且つプラズマ発生空間に接するアース電位に保たれた基体3を除く最短距離のアース電位部分(反応容器1及びカソード電極シールド14)との距離d1と前記基体とカソード電極との電極間距離d2でd1/d2=1とした。

【0139】図10に示される装置によって形成されたa-Si膜を被成膜基体に成膜し、同様に膜厚ムラを測定した。その結果形成されたa-Si膜の膜厚ムラは約±3%であった。また形成されたa-Si膜の膜質は電子写真感光体デバイスや画像入力用ラインセンサー等に使用するに充分な特性を有するものであった。

【0140】また、放電周波数を100MHzとした以外は同様の条件でa-Si膜を同様の被成膜基体上に形成したところほぼ同様の結果が得られた。

【0141】以上の結果からわかるように、放電周波数が高くなることによる膜厚ムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

【0142】成膜条件(10)

- ・原料ガス ··· SiH<sub>4</sub>
- ・キャリアーガス ··· H<sub>2</sub>
- ・ガス流量 ··· SiH<sub>4</sub> 450 sccm
- H<sub>2</sub> 450 sccm
- ・圧力 ··· 0.2 torr
- ・基体温度 ··· 310°C
- ・高周波電力 ··· 0.5 W/cm<sup>2</sup>

【0143】(実施例11) 図11に示される本発明のプラズマエッティング装置を用いて、放電周波数を50MHzとして、下記のエッティング条件(1)でa-Si膜

10

をアルミニウム金属をエッティングマスクとしてエッティング処理した。なお、図10において、図23と同じ符号のものは図23で説明したものと同じであるため説明を省略する。また、52は基板3のホルダーである。

【0144】被エッティング物は図12に示されるように、ガラス等の少なくとも表面が絶縁性とされた平板である基板1201上に形成されたa-Si層1202、該a-Si層1202上に形成されたn型のa-Si層(コンタクト層)1203、そして電極となるアルミニウム金属層1204を有しており、アルミニウム金属層1204が被覆されていない部分のn型のa-Si層1203をエッティング除去した。なお、被エッティング物は、上記n型のa-Si層1203が除去されて、前記アルミニウム金属層1204を対向する電極とし、その電極間のn型のa-Si層1203が除去された領域を光入射領域とする光センサーとなる。

10

【0145】まず、50MHzでのカソード電極インピーダンスZcの関係を図14に基づいて、50MHzでのプラズマインピーダンスZpに対しカソード電極長lを変えて、|Zc|/|Zp|=5、|Zc|/|Zp|=1なる条件として夫々エッティングムラを測定した。ここで、エッティングムラとは被エッティング物のエッティング深さの最大値と最小値の差を平均エッティング深さで割った値の1/2に土を付した値で表記する。

20

【0146】その結果、|Zc|/|Zp|=5の時はエッティングムラが約±10%、|Zc|/|Zp|=1の時はエッティングムラが約±4%となった。

30

【0147】また、比較として、図14に基づいて電極長lを変えて|Zc|/|Zp|=10、|Zc|/|Zp|=20とした以外は下記エッティング条件(1)でエッティングを行なったところ、エッティングムラは夫々順に約±15%、約±20%となった。

【0148】同様に、放電周波数を100MHzとした以外は上記した条件でエッティングを行なったところ、上記結果とほぼ同じ結果が得られた。

40

【0149】なお、上記した被エッティング物のa-Si層を上記実施例1~10に示された装置及び方法によって形成したところ、a-Si層の膜厚ムラが極めて少なく光センサーとしての特性も極めて優れたものであった。特に長尺センサーの場合は長さ方向に問題となるような特性ムラがなく、極めて優れたものであった。

【0150】以上の結果からわかるように、放電周波数が高くなることによるエッティングムラの問題を解決でき、更に放電周波数による装置形状を最適化することが可能である。

【0151】エッティング条件(1)

- ・エッティングガス ··· CF<sub>4</sub>+O<sub>2</sub>
- ・ガス流量 ··· CF<sub>4</sub> 100 sccm
- O<sub>2</sub> 200 sccm
- ・圧力 ··· 0.03 torr

50

- ・高周波電力 ・・・ 0.1 W/cm<sup>2</sup>
- ・冷却方法 ・・・ 水冷 (20°C)

【0152】

【発明の効果】本発明のプラズマ処理装置及び方法によれば、13.56 MHz より高い放電周波数で特に30 MHz 以上300 MHz 以下の放電周波数でのカソード電極近傍でのプラズマ密度の均一化や膜厚分布均一化を行うことが可能となる。特に、放電周波数を高くして処理速度を向上させるといったランニングコストの低減や処理コストの低減を行なうことができるのみならず成膜やエッチャリング方法の検討や試作、開発の期間を短くし短期間で装置形状、方法の最適化が可能となる。

【図面の簡単な説明】

【図1】本発明を実施したプラズマCVD装置の構成模式図である。

【図2】本発明を実施したプラズマCVD装置の構成模式図である。

【図3】本発明を実施したプラズマCVD装置の構成模式図である。

【図4】本発明を実施したプラズマCVD装置の構成模式図である。

【図5】本発明を実施したプラズマCVD装置の構成模式図である。

【図6】本発明を実施したプラズマCVD装置の構成模式図である。

【図7】本発明を実施したプラズマCVD装置の構成模式図である。

【図8】本発明を実施したプラズマCVD装置の構成模式図である。

【図9】本発明を実施したプラズマCVD装置の構成模式図である。

【図10】本発明を実施したプラズマCVD装置の構成模式図である。

【図11】本発明を実施したプラズマCVD装置の構成模式図である。

【図12】被エッチャリング物の構成を説明するための模式的断面図である。

【図13】カソード電極のインピーダンス特性を説明するためのグラフである。

【図14】カソード電極のインピーダンス特性を説明するためのグラフである。

【図15】カソード電極のインピーダンス特性を説明するためのグラフである。

【図16】放電周波数に対するプラズマ密度ムラを説明するための図である。

【図17】カソード近傍のプラズマ密度分布を説明するための図である。

【図18】カソード近傍のプラズマ密度分布を説明するための図である。

【図19】カソード近傍のプラズマ密度分布を説明するための図である。

【図20】膜厚分布の放電周波数依存性を説明するための図である。

【図21】膜厚分布の放電周波数依存性を説明するための図である。

【図22】高周波等価回路を説明するための図である。

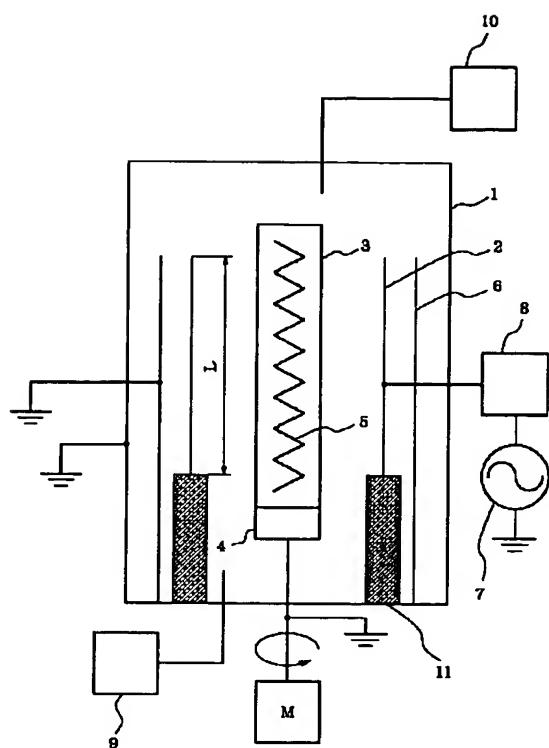
【図23】従来のプラズマCVD装置の構成模式図である。

【図24】本発明の比較のためのプラズマCVD装置の構成模式図である。

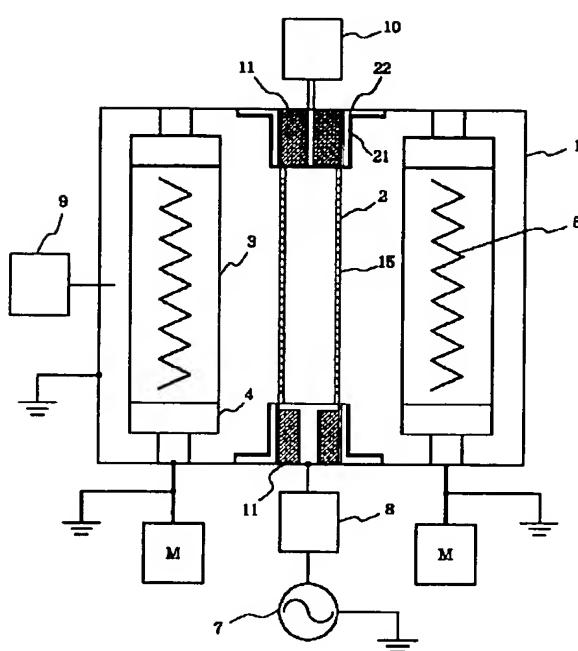
【符号の説明】

- 1 反応容器
- 2 カソード電極
- 3 被成膜基体
- 4 回転機構
- 5 加熱ヒータ
- 6 アースシールド
- 7 高周波電源
- 8 整合回路
- 9 真空排気手段
- 10 ガス供給手段
- 11 絶縁材料
- 12 基体用絶縁材料
- 13 スペーサ
- 14 カソード電極用のアースシールド
- 15 ガス噴出口
- 16 容量結合用絶縁材料
- 17 カソード電極上の絶縁体カバー
- 18 アースシールド上の絶縁体カバー
- 21 非磁性材カソード電極用のアースシールド
- 22 軟磁性材カソード電極用のアースシールド
- 151 高周波電源
- 152 カソード電極
- 153 被処理基体
- 154 プラズマ
- 155 アースシールド

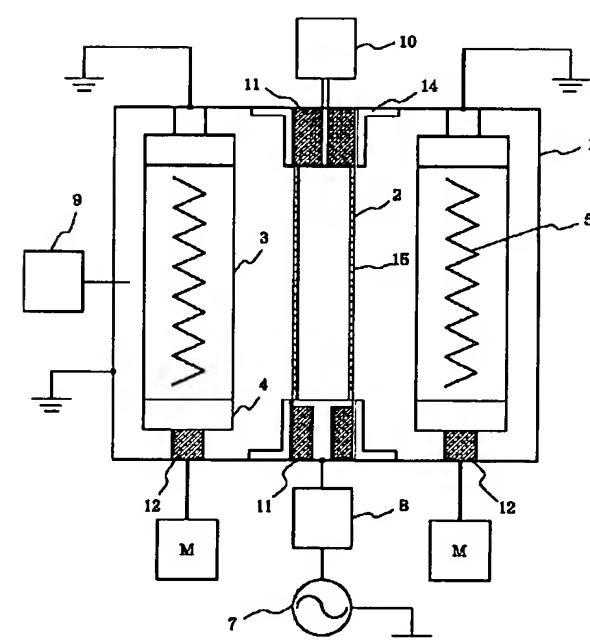
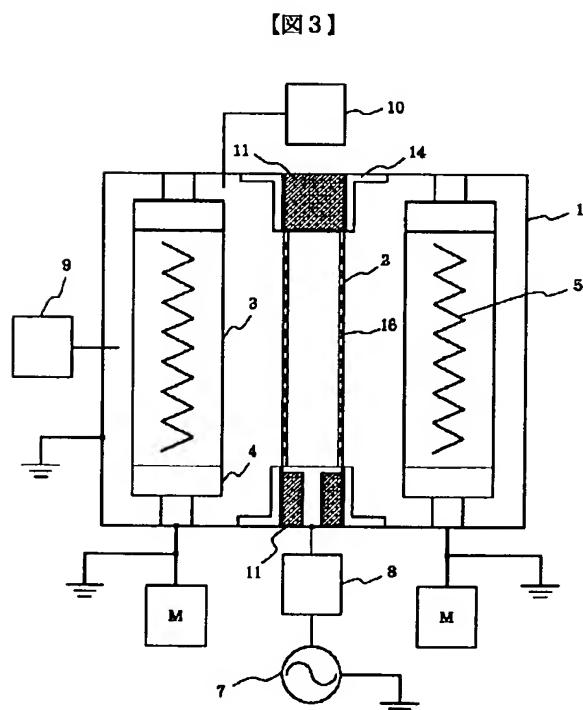
【図1】



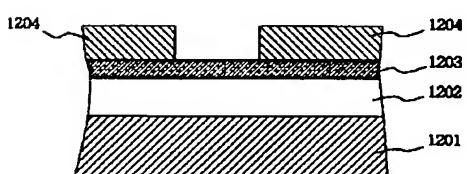
【図2】



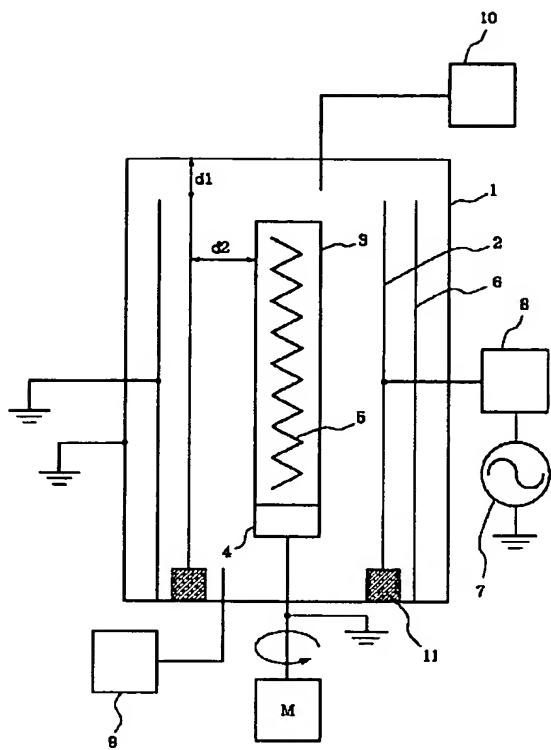
【図4】



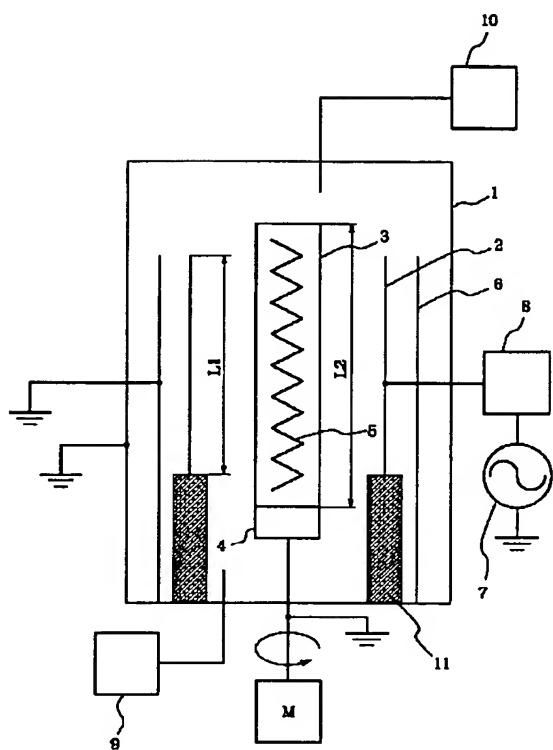
【図12】



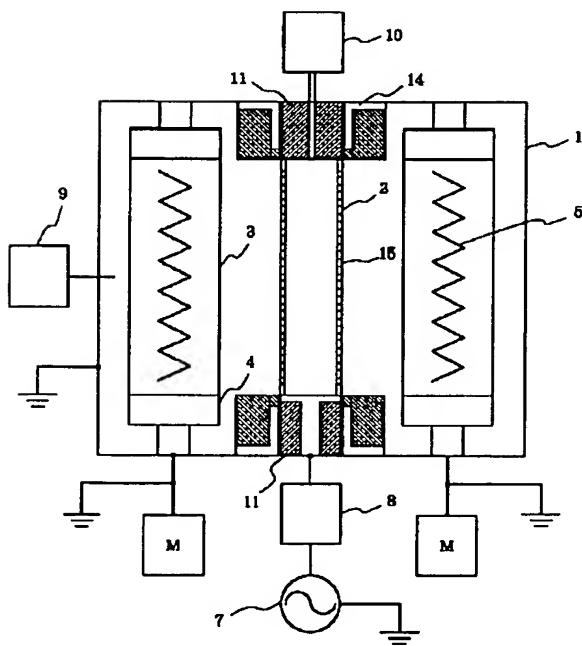
【図5】



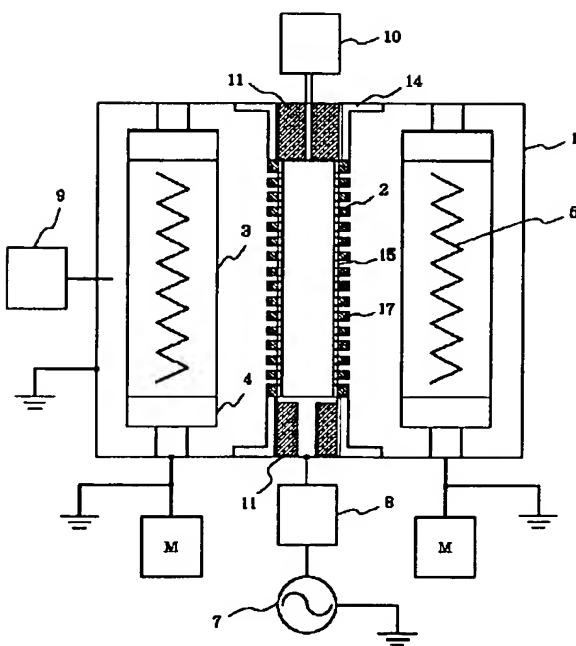
【図6】



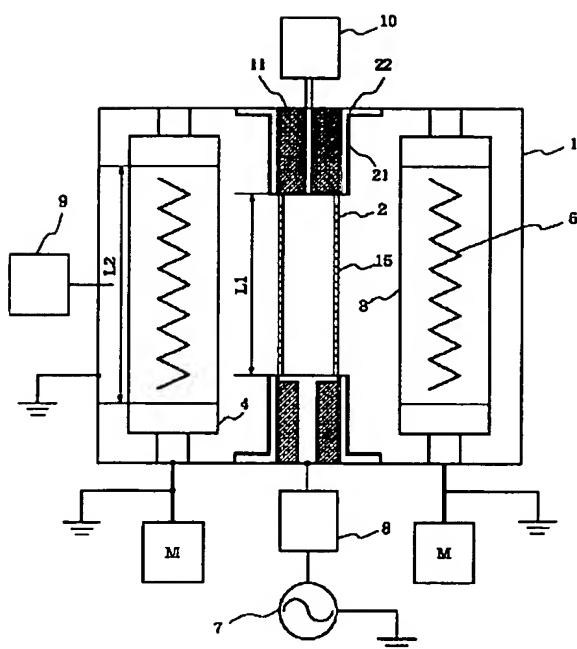
【図7】



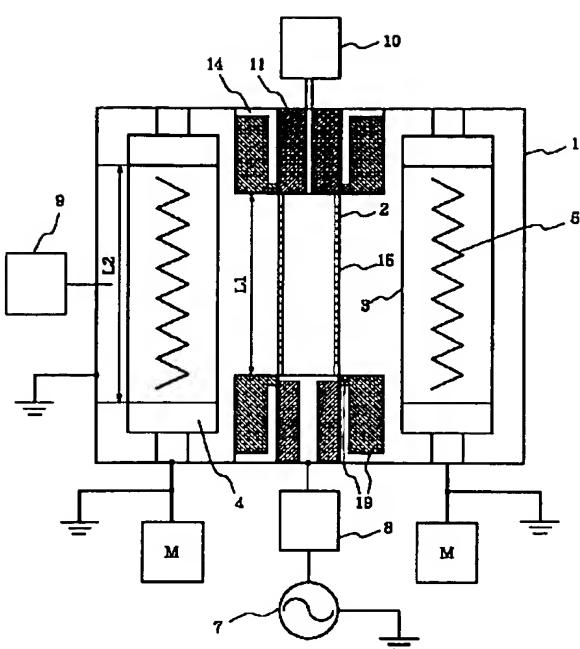
【図8】



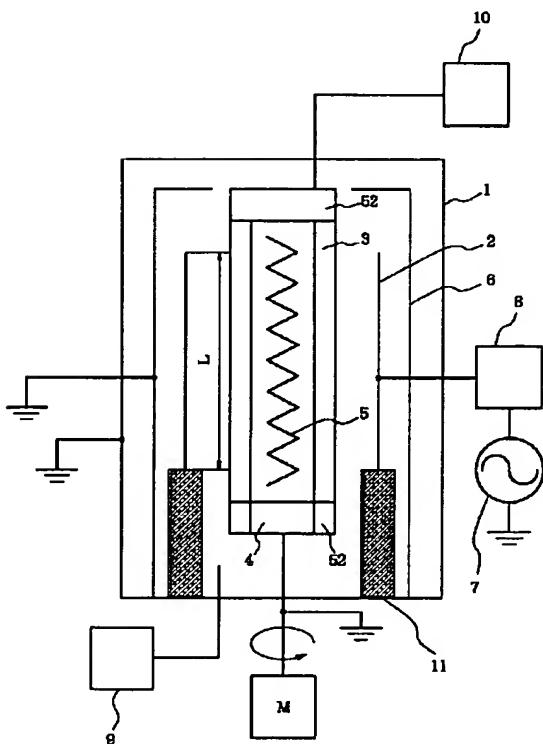
[图9]



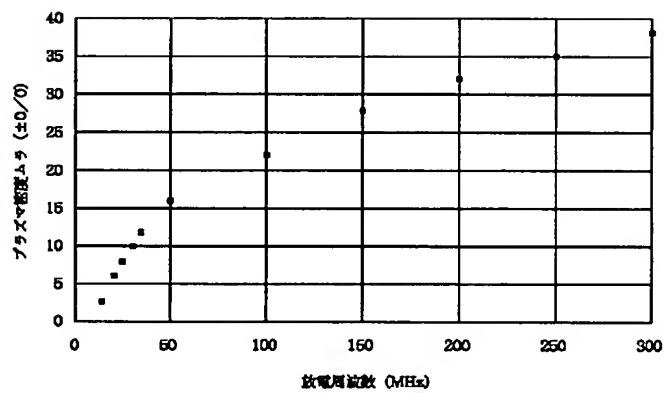
[图 10]



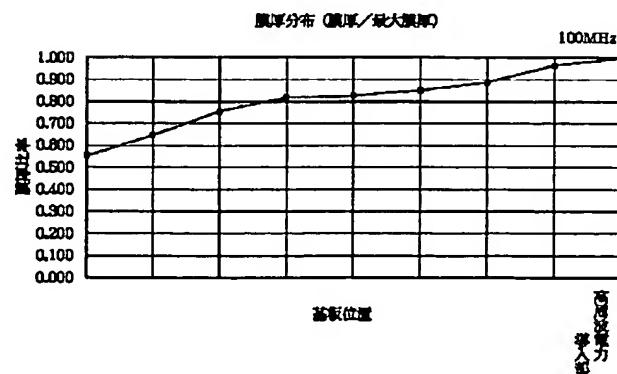
【図11】



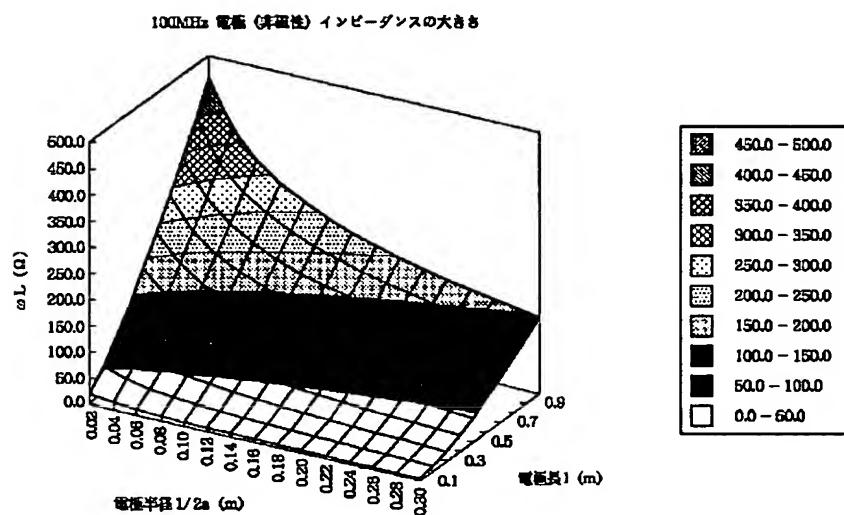
【図16】



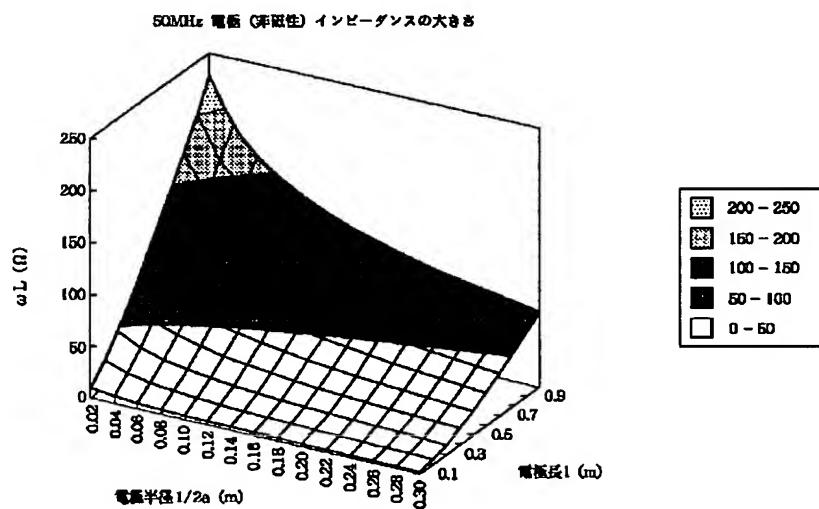
【图20】



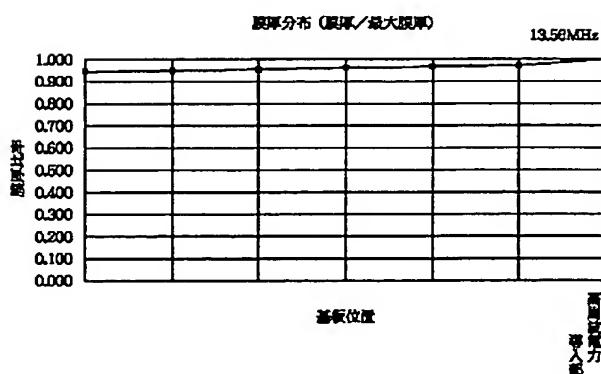
【図13】



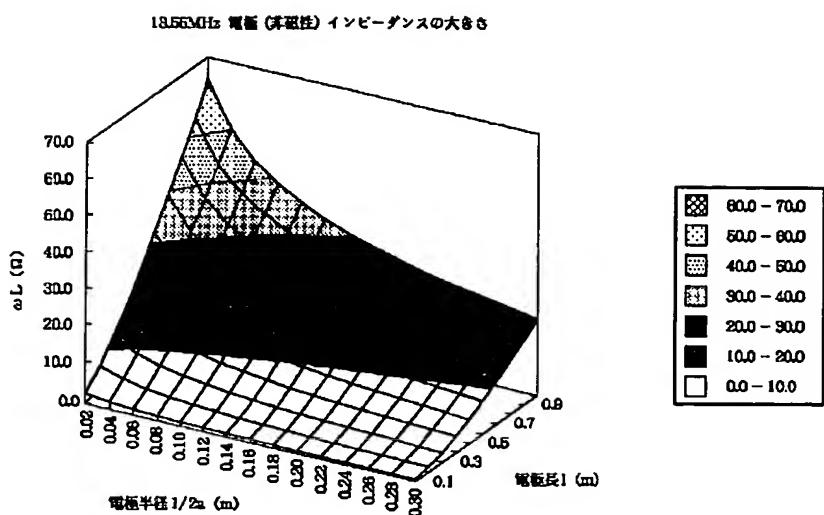
【図14】



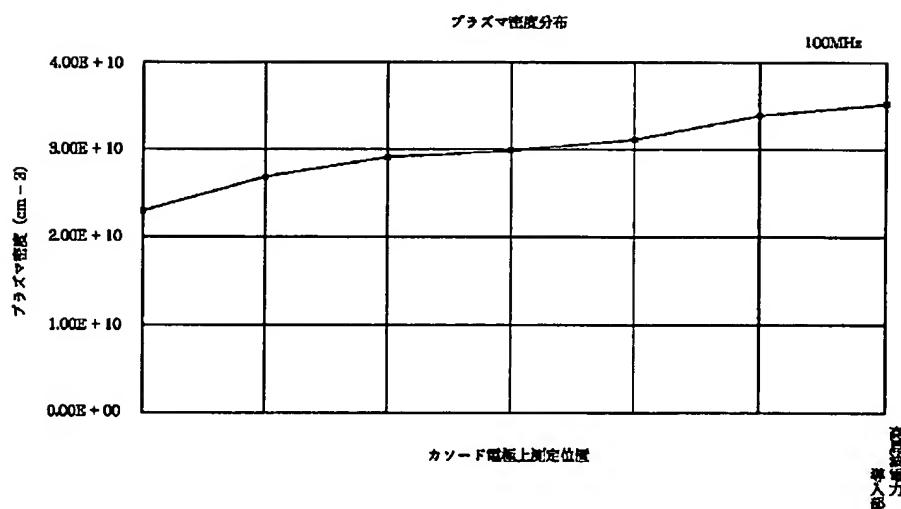
【図21】



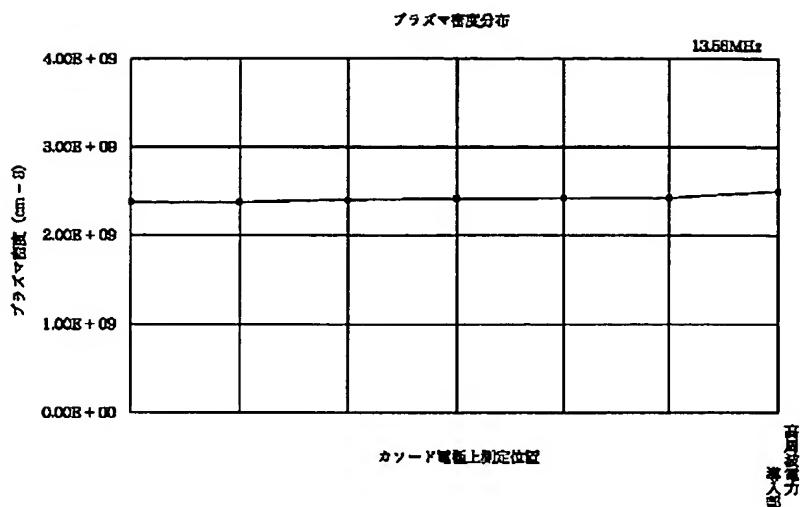
【図15】



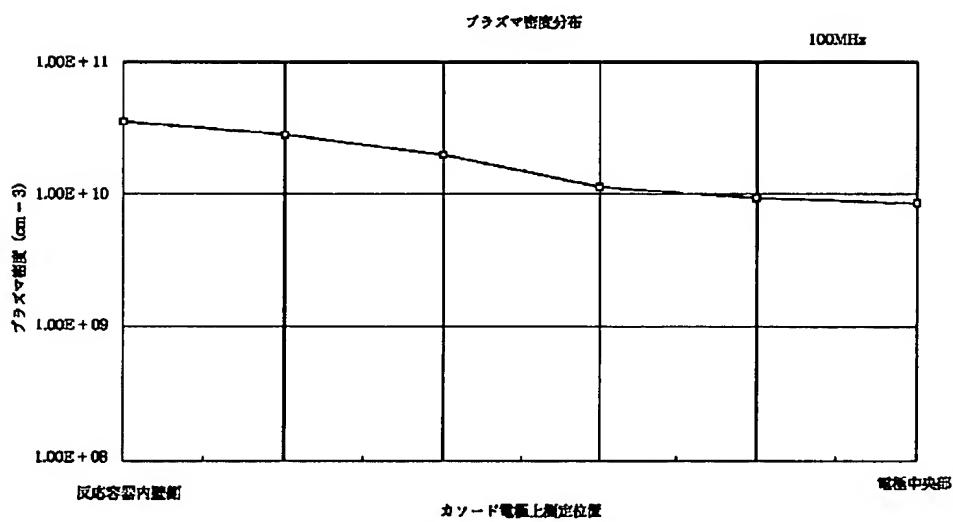
【図17】



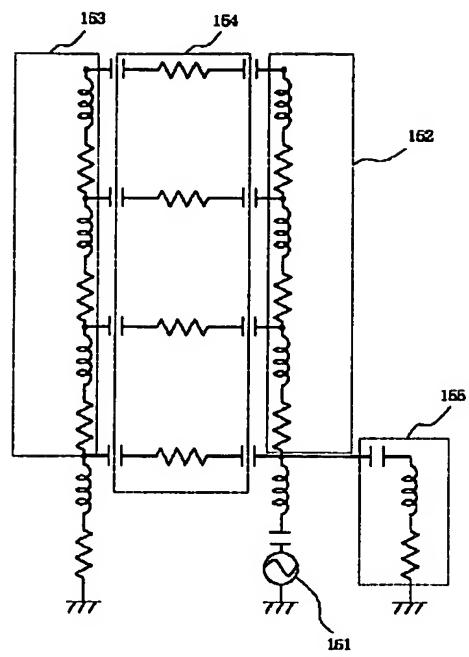
【図18】



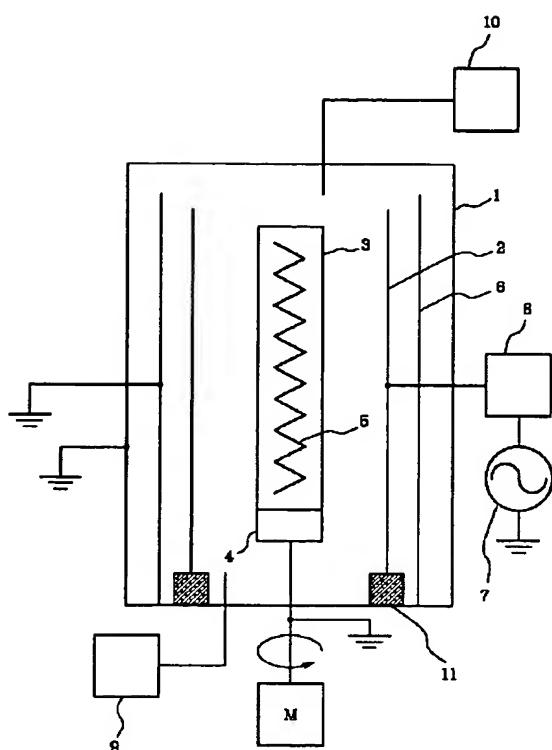
【図19】



【図22】



【図23】



【図24】

